

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-328185

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/228		Z		
G 0 6 F 15/66	3 5 5	C 8420-5L		
G 0 9 G 5/00		Z 8121-5G		
	5/36	9177-5G		
H 0 4 N 7/00		Z 9070-5C		

審査請求 未請求 請求項の数10(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-155719

(22)出願日 平成4年(1992)5月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

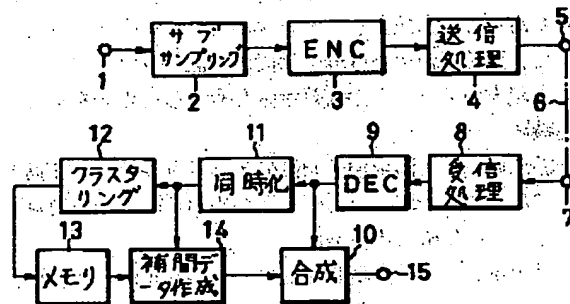
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 デジタルデータ変換装置および方法

(57)【要約】

【目的】 解像度の劣化を伴わずに、低解像度の入力画像信号から高解像度の出力画像信号の形成、あるいは、間引かれた画素データを補間する。

【構成】 伝送路6を伝送される画像データは、間引きによってデータ量が半分とされている。受信側では、間引き画素の周辺の伝送画素データa、b、c、dをクラスタリングし、クラス情報と対応するメモリ13のアドレスからクラスデータとしてのパラメータが読み出される。標準的な画像データを使用して予めデータ変換用のマッピング表が作成され、これがメモリ13に格納されている。補間データ作成回路14は、メモリ13からのパラメータと伝送画素データとを使用して間引き画素のデータxを発生する。



## 【特許請求の範囲】

【請求項1】 複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングする手段と、

上記複数の入力データと既知の出力データとからクラス毎の出力データに関連するクラスデータを発生する発生手段と、

上記クラスデータを上記クラスに対応するアドレスに格納するメモリ手段と、

複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すための読み出し手段と、

上記読み出し手段の出力クラスデータに基づいて出力データを発生する出力データ発生手段とを有するデジタルデータ変換装置。

【請求項2】 複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングするとともに、上記複数の入力データと既知の出力データとからクラス毎の上記出力データに関連するクラスデータを発生して、上記クラスデータを上記クラスに対応してメモリに蓄積するトレーニングステップと、

複数の入力データをクラスタリングしてそのクラスに対応するメモリのアドレスのクラスデータを読み出すステップと、

上記クラスデータに基づいて出力データを発生するステップとを有するデジタルデータ変換方法。

【請求項3】 請求項1記載のデジタルデータ変換装置であって、上記クラスデータが出力データそれ自身であることを特徴とする装置。

【請求項4】 請求項1記載のデジタルデータ変換装置であって、上記クラスデータがパラメータデータであって、上記出力データ発生手段が上記パラメータデータと上記入力データとの演算手段を有することを特徴とする装置。

【請求項5】 請求項2記載のデジタルデータ変換方法であって、上記クラスデータが出力データそれ自身であることを特徴とする方法。

【請求項6】 請求項2記載のデジタルデータ変換方法であって、上記クラスデータがパラメータデータであって、上記出力データ発生ステップが上記パラメータデータと上記入力データとの演算を行なうことを特徴とする方法。

【請求項7】 第1の標準方式の複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングする手段と、

上記第1の標準方式の複数の入力データと既知の第2の標準方式の出力データとからクラス毎の上記出力データに関連するクラスデータを発生する発生手段と、

上記クラスデータを上記クラスに対応するアドレスに格納するメモリ手段と、

上記第1の標準方式の複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すための読み出し手段と、

上記読み出し手段の出力クラスデータに基づいて出力データを発生する出力データ発生手段とを有するデジタルデータ変換装置。

【請求項8】 請求項7記載のデジタルデータ変換装置であって、第1の標準方式のビデオ信号の解像度が第2の標準方式のビデオ信号解像度よりも低いことを特徴とするデジタルデータ変換装置。

【請求項9】 請求項7記載のデジタルデータ変換装置であって、第1の標準方式のビデオ信号の解像度が第2の標準方式のビデオ信号解像度よりも高いことを特徴とするデジタルデータ変換装置。

【請求項10】 複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングする手段と、

上記複数の入力データと既知の出力データとからクラス毎の上記出力データに関連するクラスデータを発生する発生手段と、

上記クラスデータを上記クラスに対応するアドレスに格納するメモリ手段と、

伝送画素からなる複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すための読み出し手段と、

上記読み出し手段の出力クラスデータに基づいて間引かれたデータを発生する出力データ発生手段とを有するデジタルデータ変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、データ圧縮における間引き画素の補間、標準解像度のテレビジョン信号を高解像度のテレビジョン信号に変換するアップコンバージョン等に適用可能なデジタルデータの変換装置および方法に関する。

【0002】

【従来の技術】 標準解像度あるいは低解像度（これらをSDと略称する）画像を高解像度（HDと略称する）画像に変換するアップコンバージョン、電子ズーム、または画像の拡大においては、補間フィルタによって、不足している画素のデータを補償することがなされている。さらに、伝送データ量を圧縮するために、サブサンプリングによって画素の間引き、受信側でこの間引き画素を補間フィルタによって補間することがなされている。

【0003】

【発明が解決しようとする課題】 しかしながら、フィルタによる補間で得られた出力画像の解像度が劣化する問題がある。例えばSDのビデオ信号をフィルタで補間し

てHDのテレビジョン信号を形成しても、入力SD信号中に存在していないHD成分(高周波成分)が復元されない。その結果、出力画像の空間的解像度が低下する。

【0004】従って、この発明の目的は、高解像度成分を復元することが可能なデジタルデータの変換装置および変換方法を提供することにある。

【0005】

【課題を解決するための手段】この発明は、複数の入力データを解析し、複数の入力データの分布状態に応じてクラスタリングするクラスタリング回路と、複数の入力データと既知の出力データとからクラス毎の出力データに関連するクラスデータを発生する発生回路と、クラスデータをクラスに対応するアドレスに格納するメモリと、複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータをメモリから読み出すための読み出し回路と、読み出し回路の出力クラスデータに基づいて出力データを発生する出力データ発生回路とを有するデジタルデータ変換装置である。

【0006】また、この発明は、複数の入力データを解析し、複数の入力データの分布状態に応じてクラスタリングするとともに、複数の入力データと既知の出力データとからクラス毎の出力データに関連するクラスデータを発生して、クラスデータをクラスに対応してメモリに蓄積するトレーニングステップと、複数の入力データをクラスタリングしてそのクラスに対応するメモリのアドレスのクラスデータを読み出すステップと、クラスデータに基づいて出力データを発生するステップとを有するデジタルデータ変換方法である。

【0007】

【作用】複数の入力データの分布状態に応じたクラス分けがされ、各クラスに関するデータ変換、すなわち、クラス情報を出力データへ変換、またはクラス情報を出力データを形成するためのパラメータに変換するマッピング表が使用される。このマッピング表は、トレーニング用の種々の絵柄の源画像を用いて予め形成されている。従って、このマッピング表によって、入力画像信号に含まれない高解像度成分を復元することができる。

【0008】

【実施例】以下、この発明の一実施例について説明する。この一実施例は、間引き圧縮されたデータを伝送し、受信側で間引き画素を復元するものである。図1は、かかる伝送システムを全体的に示す。図1中で、1は、伝送すべきデジタルビデオデータの入力端子である。

【0009】入力デジタルビデオデータがサブサンプリング回路2に供給され、水平方向に一つおきの画素データが間引かれる。図2に示すように、元の画素の配列でXで示す画素が間引き画素を示している。従って、この間引き処理によって、伝送する必要があるデータ量が

半分に減少する。

【0010】サブサンプリング回路2の出力データが高効率符号化のエンコーダ3に供給される。高効率符号化としては、DCT (Discrete Cosine Transform)等の直交変換符号化、ADRC (ダイナミックレンジ適応型符号化)等の既知のものを採用できる。このエンコーダ3によって、伝送されるデータ量がより低減される。

【0011】エンコーダ3の出力データが送信処理回路4に供給される。送信処理回路4は、エラー訂正符号化、フレーム化、チャンネル符号化等の処理を行なう。送信処理回路4の出力端子5に送信データが発生し、この送信データが伝送路6を介して送信される。伝送路6は、通信路に限らず、磁気記録および再生のプロセスをも意味的に含むものである。

【0012】受信データが入力端子7から受信処理回路8に供給される。受信処理回路8は、チャンネル符号化の復号、フレーム分解、エラー訂正等の処理を行なう。受信処理回路8の出力が高効率符号化のデコーダ9に供給される。デコーダ9の復号出力が合成回路10および同時化回路11に供給される。

【0013】同時化回路11は、図2に示すように、補間すべき間引き画素xの上下左右に位置する伝送画素データa、b、c、dを同時にクラスタリング回路12および補間データ作成回路14に対して出力する。クラスタリング回路12からの出力データ、すなわち、クラス情報がメモリ13にアドレス信号として供給される。

【0014】このメモリ13には、後述のように形成されたデータ変換用のマッピング表が格納されている。この例では、メモリ13には、データ変換のための複数のパラメータを含むマッピング表が格納されている。クラスタリング回路12の出力データと対応するアドレスから読み出されたパラメータが補間データ作成回路14に供給される。補間データ作成回路14は、同時化回路11からの伝送画素データa、b、c、dとメモリ14からのパラメータw1、w2、w3、w4とを使用して、 $x = w1 \cdot a + w2 \cdot b + w3 \cdot c + w4 \cdot d$ の演算によって補間データxを形成する。

【0015】この補間データxが合成回路10に供給される。合成回路10は、伝送画素が存在する時にデコーダ9の出力を選択し、間引き画素の位置では、補間データ作成回路14からの補間データを選択する。従って、合成回路10の出力端子15には、受信データと対応する復号ビデオデータが得られる。

【0016】メモリ13には、トレーニングによって予め作成されたマッピング表が格納されている。図3は、マッピング表を作成するための構成を示す。図3において、21には、デジタルビデオ信号が供給され、これが同時化回路22に供給される。このデジタルビデオ信号は、マッピング表の作成を考慮した標準的な信号であることが好ましく、例えば種々の絵柄の静止画像から

なる信号を採用できる。図2に示すように、同時化回路22は、注目画素のデータxとその上下左右の画素データa、b、c、dとを同時にデータメモリ23およびクラスタリング回路24に供給する。但し、図3に示すトレーニング時では、注目画素xに関しては、間引きされておらず、実際の値が存在している。

【0017】クラスタリング回路24は、図1のクラスタリング回路12と同様に、画素データをクラスタリングし、クラス情報を発生する。クラスタリングとしては、階調によるクラスタリング、パターンによるクラスタリング等を使用できる。階調を使用する時には、画素データが8ビットであると、クラスの個数が極めて多くなるので、各画素のビット数をADRC等の高効率符号化で減少させることが好ましい。パターンを使用する時には、4画素で構成される複数のパターン（例えば平坦、右上に値が上昇、右下に値が減少、等）を用意し、同時化回路22の出力データを複数のパターンのいずれかにクラス分けする。

【0018】クラスタリング回路24の出力がスイッチング回路25の一方の入力端子25aに供給される。スイッチング回路25の他方の入力端子25bには、カウンタ26の出力が供給される。カウンタ26は、クロックCKを計数することによって、順次変化するアドレスを発生する。このスイッチング回路25の出力がデータメモリ23およびパラメータ用のメモリ28に対して、それらのアドレスとして供給される。

【0019】データメモリ23には、クラス情報であるアドレスに対して、画素データa、b、c、dおよびxのサンプル値が書き込まれる。例えばデータメモリ23のあるアドレスAD0には、画素データaに関して(a<sub>10</sub>, a<sub>11</sub>, ..., a<sub>1n</sub>)、画素データbに関して(b<sub>10</sub>, b<sub>11</sub>, ..., b<sub>1n</sub>)、画素データcに関して(c<sub>10</sub>, c<sub>11</sub>, ..., c<sub>1n</sub>)、画素データdに関して(d<sub>10</sub>, d<sub>11</sub>, ..., d<sub>1n</sub>)、画素データxに関して(x<sub>10</sub>, x<sub>11</sub>, ..., x<sub>1n</sub>)が蓄えられる。クラスタリング回路24からの他のアドレスについても、同様に画素データがデータメモリ23に蓄えられる。

【0020】次に、スイッチング回路25が入力端子25aから25bに切り換えられ、データメモリ23の内容がカウンタ26からのアドレスによって順次読み出される。データメモリ23の読み出し出力が最小自乗法の演算回路27に供給される。演算回路27は、最小自乗法によって、誤差を最小とするパラメータw1~w4を求めるものである。

【0021】一つのアドレスに注目すると、このアドレスに関しては、下記の連立方程式が成り立つ。

$$x_1 = w_1 a_1 + w_2 b_1 + w_3 c_1 + w_4 d_1$$

$$x_2 = w_1 a_2 + w_2 b_2 + w_3 c_2 + w_4 d_2$$

$$x_n = w_1 a_n + w_2 b_n + w_3 c_n + w_4 d_n$$

【0022】ここで、x1~xn、a1~an、b1~bn、c1~cn、d1~dnが既知であるので、x1~xn（実際の値）に対する誤差の自乗を最小とするようなパラメータw1~w4が求められる。他のアドレスについても同様である。

【0023】演算回路27で求められたパラメータw1~w4がメモリ28に書き込まれる。このメモリ28に書き込まれているマッピング表が図1のメモリ13に対して記憶される。従って、図1の構成において、間引き画素であるxの値がメモリ13から出力されるパラメータw1~w4を使用して補間データ作成回路14で形成できる。

【0024】マッピング表としては、上述のパラメータに限らず、出力データの値そのものが得られるものを使用しても良い。この場合には、図1中の補間データ作成回路14を省略できる。図4は、かかるマッピング表を形成するための構成を示す。図3の構成と同様に同時化された複数の画素データがクラスタリング回路に供給され、クラスタリング回路の出力がデータメモリ30および度数メモリ31に対してアドレスとして供給される。

【0025】度数メモリ31の読み出し出力が加算器32に供給され、+1され、加算器32の出力がメモリ31の同一アドレスに書き込まれる。メモリ30および31は、初期状態として各アドレスの内容がゼロにクリアされる。

【0026】データメモリ30から読み出されたデータが乗算器33に供給され、度数メモリ31から読み出された度数と乗算される。乗算器33の出力が加算器34に供給され、加算器34にて入力データxと加算される。加算器34の出力が割算器35に被除数として供給される。割算器35には、加算器32の出力が除数として供給される。この割算器35の出力（商）がデータメモリ30の入力データとされる。

【0027】上述の図4の構成では、あるアドレスが最初にアクセスされる時には、メモリ30および31の読み出し出力が0であるため、データx1がそのままメモリ30に書き込まれ、メモリ31の対応するアドレスの値が1とされる。若し、その後で、このアドレスが再びアクセスされると、加算器32の出力が2であり、加算器34の出力が(x1+x2)である。従って、割算器35の出力が(x1+x2)/3であり、これがメモリ30に書き込まれる。一方、度数メモリ31には、度数2が書き込まれる。更に、その後で、上述のアドレスがアクセスされると、同様の動作によって、メモリ30のデータが(x1+x2+x3)/3に更新され、度数も3に更新される。

【0028】上述の動作を所定期間で行うことによって、メモリ30には、クラスタリング回路の出力によ

てクラスが指定されると、そのときのデータが出力されるようなマッピング表が蓄えられる。言い換えれば、入力ビデオ信号の複数の画素データが与えられた時に、それをクラスタリングしたものと平均的に対応が取れたデータを出力するマッピング表が形成できる。

【0029】図5に示すこの発明の他の実施例は、SDビデオ信号をHDビデオ信号にアップコンバージョンするものである。図5において、4-1で示す入力端子にデジタルのSDビデオ信号が供給される。このSDビデオ信号の例は、SDVTRの再生信号、放送信号等である。このSDビデオ信号が同時化回路42に供給され、同時化回路42の出力データがクラスタリング回路43に供給される。クラスタリング回路43の出力がマッピング表M1~M4がそれぞれ蓄えられたメモリ44a~44dにアドレス信号として供給される。

【0030】図6は、SD画像およびHD画像の関係を部分的に示す。図6において、○の画素データがSD画像のもので、×の画素データがHD画像のものである。例えば12個のSD画像の画素データa~lから4個のHD画像の画素データy1~y4が生成される。メモリ44aのマッピング表M1は、画素データy1を発生するためのもので、メモリ44b、44c、44dのマッピング表M2、M3、M4は、画素データy2、y3、y4をそれぞれ発生するためのものである。

【0031】メモリ44a~44dの読み出し出力がセレクト45に供給される。セレクト45は、セレクト信号発生回路46の出力によって制御される。セレクト信号発生回路46には、HD画像のサンプリングクロックが入力端子47から供給される。セレクト45によって、4個の画素データy1~y4が順番に選択され、これらの画素データが走査変換回路48に供給される。走査変換回路48は、HD画像の画素データをラスタ走査の順に出力端子49に発生する。この出力端子49には、D/A変換器(図示せず)を介してHD用モニタが接続される。出力画像の画素数は、入力SDビデオ信号の画素数の4倍であって、HD用モニタによって、HD画像を再生できる。

【0032】メモリ44a~44dに格納されるマッピング表M1~M4の作成のための構成の一例を図7に示す。図7中で、5-1で示す入力端子にデジタルのHDビデオ信号が供給される。このHDビデオ信号は、マッピング表の作成を考慮した標準的な信号であることが好ましい。実際には、標準的な画像をHDビデオカメラにより撮像することによって、あるいは撮像信号をHDVTRに記録することによって、HDビデオ信号を得ることができる。

【0033】このHDビデオ信号が同時化回路52に供給される。この同時化回路52は、図6に示す位置関係を有する画素データa~lとy1~y4とを同時に出力する。画素データa~lがクラスタリング回路53に供

給される。クラスタリング回路53は、上述の一実施例と同様に、階調、パターン等でクラス分けを行なう。このクラスタリング回路53の出力がマッピング表作成回路54a~54dに対して共通に供給される。

【0034】同時化回路52からの画素データy1~y4がマッピング表作成回路54a~54dに対して供給される。マッピング表作成回路54a~54dは、同一の構成を有している。上述の図4に示される平均値を求める構成と同様のものをマッピング表作成回路54a~54dとして採用することができる。マッピング表作成回路54aの場合には、図4中で画素データxに代えてy1が供給される。この入力以外は、図4と同一の構成をマッピング表作成回路54aとして採用できる。さらに、パラメータを使用する図3と同様の構成をマッピング表作成回路54a~54dとして採用しても良い。

【0035】マッピング表作成回路54a~54dにそれぞれ設けられたメモリには、HDビデオ信号とSDビデオ信号との間の相関を示すマッピング表が蓄えられる。言い換えれば、SDビデオ信号の複数のデータが与えられた時に、この複数のデータをクラスタリングしたものと平均的に対応が取れたHDビデオ信号の画素データを出力するマッピング表が形成できる。このマッピング表が図5の構成のメモリ44a~44d内に格納される。

【0036】なお、上述の一実施例は、SDビデオ信号をHDビデオ信号にアップコンバージョンする例であるが、これ以外に、画像の拡大に対しても、この発明は、同様に適用できる。

【0037】

【発明の効果】この発明によれば、間引き方式で伝送されたデータを受信し、間引き画素を解像度の劣化を殆ど伴わずに補間することができる。画像を拡大するとき不足する画素データを補間する場合にも、同様にこの発明を適用できる。また、標準解像度のビデオ信号を高解像度のビデオ信号に変換し、高解像度の画像をモニタに表示できる。

【図面の簡単な説明】

【図1】この発明が適用された伝送システムの概略的なブロック図である。

【図2】画素の位置関係を示す略線図である。

【図3】マッピング表を作成するための構成の一例のブロック図である。

【図4】マッピング表を作成するための構成の他の例のブロック図である。

【図5】この発明の他の実施例のブロック図である。

【図6】SD画像とHD画像の画素の位置関係を示す略線図である。

【図7】マッピング表を作成するための構成の一例のブロック図である。

【符号の説明】

6 伝送路

12 クラスタリング回路

13 マッピング表が記憶されているメモリ

14 補間データ作成回路

\* 41 SDビデオ信号の入力端子

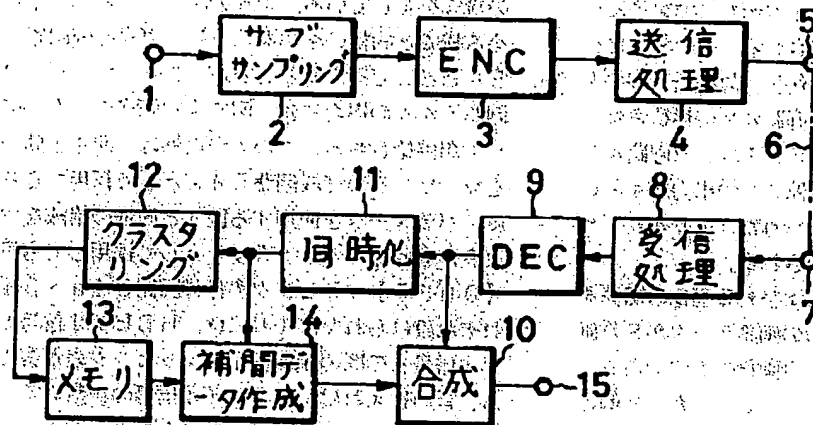
44 a~44 d マッピング表が格納されているメモリ

49 HDビデオ信号の出力端子

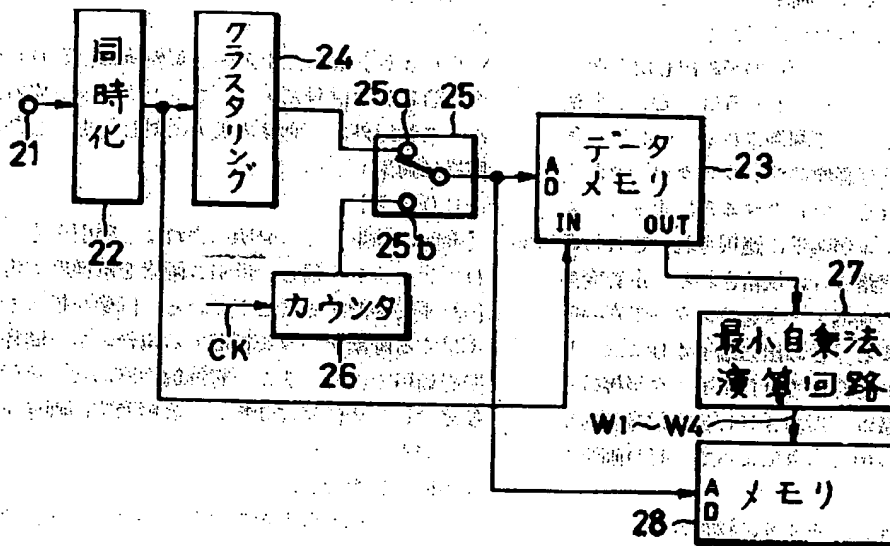
\*

【図1】

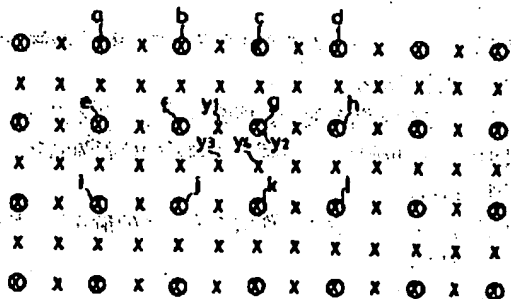
【図2】



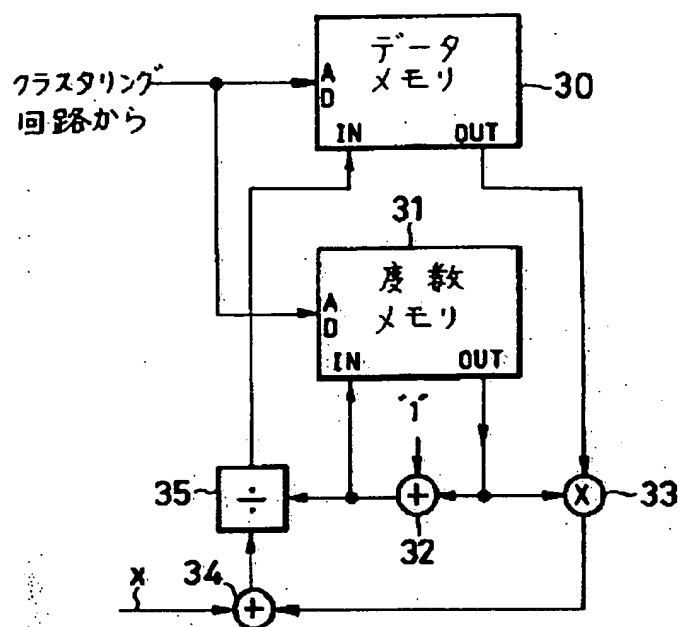
【図3】



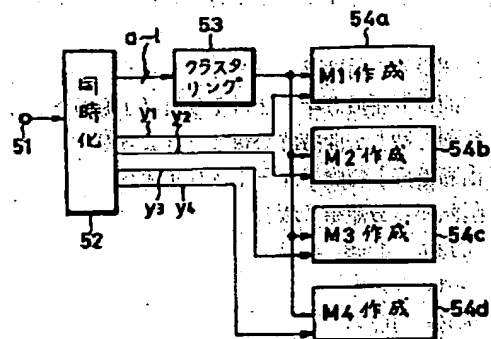
【図6】



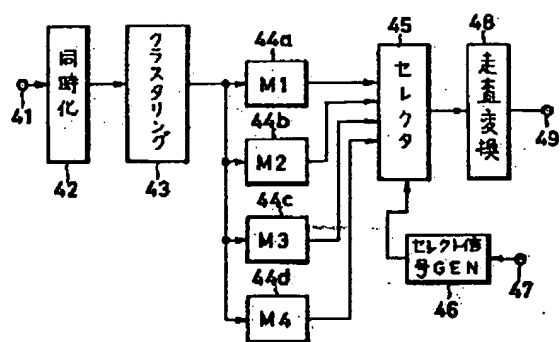
【図4】



【図7】



【図5】



フロントページの続き

(51)Int.Cl.

H04N 7/01

7/13

識別記号

庁内整理番号

G 9070-5C

Z

F I

技術表示箇所

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成12年11月30日(2000.11.30)

【公開番号】特開平5-328185  
 【公開日】平成5年12月10日(1993.12.10)  
 【年通号数】公開特許公報5-3282  
 【出願番号】特願平4-155719  
 【国際特許分類第7版】

C12Q 1/68  
 A01K 67/027  
 A61B 10/00  
 A61K 48/00 AAM  
 C12N 5/10  
 15/11  
 15/12 ZNA  
 H04N 5/228  
 G06F 15/66 355  
 G09G 5/00  
 5/36  
 H04N 7/00  
 7/01  
 7/13

## 【F1】

C12N 5/00 B  
 C12Q 1/68 Z  
 A01K 67/027  
 A61B 10/00 H  
 A61K 48/00 AAM  
 C12N 15/00 A  
 H04N 5/228 Z  
 G09G 5/00 Z  
 5/36  
 H04N 7/01 G

## 【手続補正書】

【提出日】平成11年5月20日(1999.5.20)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングする手段と、  
 上記複数の入力データと既知の出力データとからクラス毎の出力データに関連するクラスデータを発生する発生手段と、

上記クラスデータを上記クラスに対応するアドレスに格納するメモリ手段と、  
 複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すための読み出し手段と、  
 上記読み出し手段の出力クラスデータに基づいて出力データを発生する出力データ発生手段とを有するデジタルデータ変換装置。

【請求項2】 複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングするとともに、上記複数の入力データと既知の出力データとからクラス毎の上記出力データに関連するクラスデータを発生して、上記クラスデータを上記クラスに対応してメモリに蓄積するトレーニングステップと、



複数の入力データをクラスタリングしてそのクラスに対応するメモリのアドレスのクラスデータを読み出すステップと、

上記クラスデータに基づいて出力データを発生するステップとを有するデジタルデータ変換方法。

【請求項3】 請求項1記載のデジタルデータ変換装置であって、上記クラスデータが出力データそれ自身であることを特徴とする装置。

【請求項4】 請求項1記載のデジタルデータ変換装置であって、上記クラスデータがパラメータデータであって、上記出力データ発生手段が上記パラメータデータと上記入力データとの演算手段を有することを特徴とする装置。

【請求項5】 請求項2記載のデジタルデータ変換方法であって、上記クラスデータが出力データそれ自身であることを特徴とする方法。

【請求項6】 請求項2記載のデジタルデータ変換方法であって、上記クラスデータがパラメータデータであって、上記出力データ発生手段が上記パラメータデータと上記入力データとの演算を行なうことを特徴とする方法。

【請求項7】 第1の標準方式の複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングする手段と、

上記第1の標準方式の複数の入力データと既知の第2の標準方式の出力データとからクラス毎の上記出力データに関連するクラスデータを発生する発生手段と、

上記クラスデータを上記クラスに対応するアドレスに格納するメモリ手段と、

上記第1の標準方式の複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すための読み出し手段と、

上記読み出し手段の出力クラスデータに基づいて出力データを発生する出力データ発生手段とを有するデジタルデータ変換装置。

【請求項8】 請求項7記載のデジタルデータ変換装置であって、第1の標準方式のビデオ信号の解像度が第2の標準方式のビデオ信号解像度よりも低いことを特徴とするデジタルデータ変換装置。

【請求項9】 請求項7記載のデジタルデータ変換装置であって、第1の標準方式のビデオ信号の解像度が第2の標準方式のビデオ信号解像度よりも高いことを特徴とするデジタルデータ変換装置。

【請求項10】 第1の標準方式の複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングするステップと、

上記第1の標準方式の複数の入力データと既知の第2の標準方式の出力データとからクラス毎の上記出力データに関連するクラスデータを発生するステップと、

上記クラスデータをメモリ手段の上記クラスに対応するアドレスに格納するステップと、

上記第1の標準方式の複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すステップと、

読み出された出力クラスデータに基づいて出力データを発生するステップとを有するデジタルデータ変換方法。

【請求項11】 複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングする手段と、

上記複数の入力データと既知の出力データとからクラス毎の上記出力データに関連するクラスデータを発生する発生手段と、

上記クラスデータをメモリ手段の上記クラスに対応するアドレスに格納するメモリ手段と、

伝送画素からなる複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すための読み出し手段と、

上記読み出し手段の出力クラスデータに基づいて間引かれたデータを発生する出力データ発生手段とを有するデジタルデータ変換装置。

【請求項12】 複数の入力データを解析し、上記複数の入力データの分布状態に応じてクラスタリングするステップと、

上記複数の入力データと既知の出力データとからクラス毎の上記出力データに関連するクラスデータを発生するステップと、

上記クラスデータをメモリ手段の上記クラスに対応するアドレスに格納するステップと、

伝送画素からなる複数の入力データに基づいてクラスタリングされたクラス情報に対応するアドレスのクラスデータを上記メモリ手段から読み出すステップと、

読み出された出力クラスデータに基づいて間引かれたデータを発生するステップとを有するデジタルデータ変換方法。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**